

# 仮想同期発電機制御の構築

AE19106 村松泰紀

指導教員 藤田吾郎

## 1. はじめに

今年度エジプトでCOP27が開催された。日本は2030年度に温室効果ガスを、2013年度比で46パーセント削減することを目指すことを公言した。この目標を達成するにあたり、太陽光をエネルギー源にする太陽光発電などの分散型電源の導入を増加させることは必要不可欠である。一方、分散型電源は電力系統への連携にインバータを使用するため、従来の同期発電機のような慣性力を持たない。分散型電源の導入容量が回転系である同期発電機の容量より上回った際、系統システム全体の慣性力が不足することで、系統システムの安定度の低下が懸念される。仮想同期発電機(Virtual Synchronous Generator :VSG)制御はインバータに疑似的な慣性力を持たせる制御手法であり、系統へ連系されている太陽光インバータに回転系である同期発電機と同様な慣性を持たせ、慣性力不足に対応する技術である。本研究の目的は、研究室規模でVSG制御を教育用DC-ACインバータモジュールに組み込み、系統へ接続し、その特性を評価する。

## 2. 仮想同期発電機のシステム構成

### 2.1 主構成

図1にVSG制御のシステム構成図を示す。系統から相電圧、線電流を測定し、それぞれの座標軸をabc軸からdq軸上に変換する。変換されたdq軸上の電圧・電流の値を用いて、有効電力・無効電力をそれぞれ計算する。同様に系統の電圧波形からPLL(Phase Locked Loop)を使用して周波数の演算を行う。周波数と計算された電力からVSG制御を行い、指令信号と比較する。その指令信号からPWM(Pulse Width Modulation:パルス幅変調)波形を作り、インバータに組み込む。

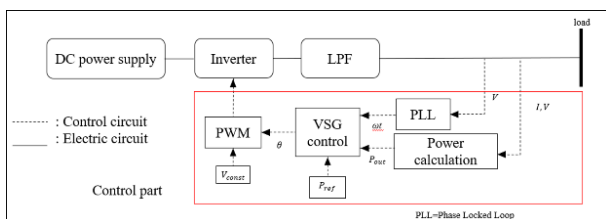


図1 仮想同期発電機の構成

### 2.2 インバータ

本研究において使用したインバータは、双方向融通機能を持つMyWayインバータMWINV-1R022(スイッチング信号の要求電圧5 V)、制御プラットフォームとして機能するDSP制御ボードTMS320F28335 Experimenter's Kit(信号出力3.3 V)、インバータのスイッチングに必要な電圧を満たすための電圧レベル変換回路、電流センサ、電圧センサで構成される。

### 2.3 仮想同期発電機制御

VSG制御の構成を図2に示す。VSG制御は、1節にて前述のとおり太陽光インバータに回転系である同期発電機と同様な特性を持つ。同期発電機の特性として慣性力、AVR(Automatic Voltage Regulator)の機能を具備している。

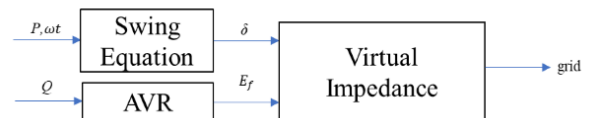


図2 仮想同期発電機制御のシステム構成

制御回路の構築には、MATLAB/SimulinkとDSP制御ボードをサポートしているEmbedded Coder Toolboxを用いる。このツールボックスは、制御回路の設計において、Simulink上で構築したブロック図による制御回路を、DSP制御ボードで使用されるC言語コードを自動的に生成することができ、従来のC言語による手法に代わり、組み込みシステムの設計を容易にすることが可能となる。

VSG制御のシステムは有効電力を用いて動揺方程式、無効電力を用いてAVRの計算を行う。その後、impedance変換を行い、dq軸上の要求信号  $i_d^*$ 、 $i_q^*$ の算出を行う。その結果と実測値  $i_d$  と  $i_q$  を比較する。その信号はPIDコントローラによって制御される座標軸をdq軸からabc軸に変換し最終的にPWM波形が作り出されゲート信号としてインバータに出力される。[1][2]

### 3. 実機試験

#### 3.1 単独運転試験

系統から解列した際の自立運転を模擬している。また、図3に定常状態時の出力波形、表1に定常状態時の測定結果を示す。東日本の系統周波数周波数は50Hzであり、誤差を±0.2%に維持する必要がある。実測値は50.0Hzとなり規定値に収まった。電流のひずみ率は5%以内にするのが要求される。電流ひずみ率の実測値は4.6%と規定値に収まった。



図3 単独運転試験の出力波形

表1 単独運転試験結果

項目	実測値
周波数	50.0 Hz
出力電圧	102 V
出力電流	0.49 A
出力有効電力	90 W
電流ひずみ率	4.6%

#### 3.2 同期運転試験

基本的には単独運転試験と同様の回路構成である。PLLを用い商用電源との同期を図った。配線図を図4に示す。また、図5に定常状態時の出力波形を示す。青が商用電源、黄がVSGの出力波形である。6msの誤差が生まれている。これは、PLLの計算時間によるものであると考えられる。

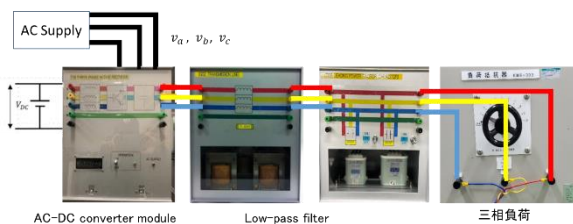


図4 同期運転試験の回路図



図5 同期運転試験の出力波形

#### 3.3 並列運転試験

VSG 制御を組み込んだインバータを系統と並列運転し、三相負荷に接続する。三相負荷試験の結線図を図6に示す。

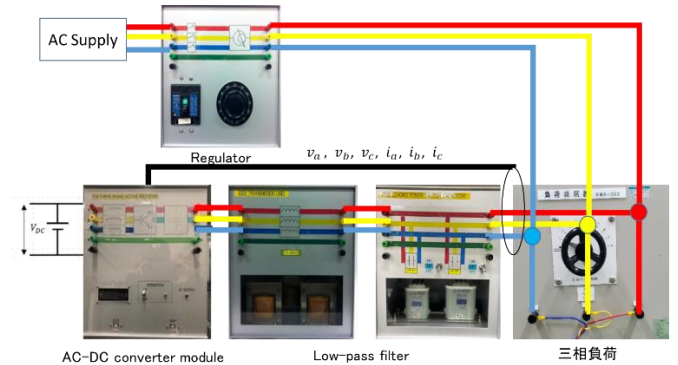


図6 並列運転試験の回路図

遅延回路を組み込むことにより、同期させることが出来た。また、この時の遅れ時間は同期運転試験とは異なる値となった。Regulatorによるインダクタンス成分の影響であると考えられる。

### 4. まとめ

単独運転試験では電流ひずみ率及び、周波数を規定値に収めることが出来た。同期運転試験においては計算時間遅れが発生していることがわかり、それを踏まえ並列運転試験を行えた。

また、出力有効電力の制御について見直しを行う必要がある。

### 参考文献

- [1] 崎元 謙一, インバータ連系形分散電源に適用する仮想同期発電機制御に関する研究, 大阪大学, 2015, 博士論文
- [2] 平瀬 祐子, 仮想同期発電機制御インバータの並列運転に関する研究, 大阪大学, 2016, 博士論文