

# 仮想同期発電機制御の構築

AE18079 平岩 大知

指導教員 藤田 吾郎

## 1. はじめに

近年,地球温暖化問題の対策として脱炭素社会への取り組みが増えている.日本は COP26 で 2030 年度に温室効果ガスを, 2013 年度比で 46 パーセント削減することを目指すと採択した. この目標を達成するにあたり,太陽光をエネルギー源にする太陽光発電などの分散型電源の導入を増加させることは必要不可欠である.一方で,分散型電源は電力系統への連携にインバータを使用するため,従来の同期発電機のような慣性力を持たない.例えば,分散型電源の導入容量が回転系である同期発電機の容量より上回った際,系統システム全体の慣性力が不足し,系統システムの安定度の低下が懸念される.仮想同期発電機(Virtual Synchronous Generator :VSG)制御はインバータに擬似的な慣性力を持たせる制御手法であり,系統へ連系されている太陽光インバータに回転系である同期発電機と同様な慣性特性を持たせ,慣性力不足に対応する.本研究の目的は,研究室規模で VSG 制御を教育用 DC-AC インバータモジュールに組み込み,系統へ接続し,その特性を評価する.評価基準は以下の三点である.

- I)周波数が  $50 \pm 0.2$  Hz であること
- II)系統電流のひずみ率が 5 %以内であること
- III)負荷変動時に出力が発振せず安定すること

## 2. システム構成

### 2.1 主システム構成

図 1 に VSG 制御のシステム構成図を示す. 系統から相電圧,線電流を測定し,それぞれの座標軸を abc 軸から dq 軸上に変換する.変換された dq 軸上の電圧・電流の値を用いて,有効電力・無効電力をそれぞれ計算する.同様に系統の電圧波形から PLL(Phase Locked Loop)を使用して周波数の演算を行う.周波数と計算された電力から VSG 制御を行い,指令信号と比較する.その信号から PWM(Pulse Width Modulation:パルス幅変調)波形を作り,インバータに組み込む.

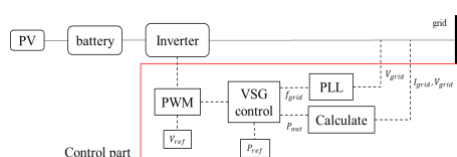


図 1 システム全体の構成

### 2.2 インバータ

本研究において使用したインバータは, 双方向融通機能を持つ MyWay インバータ MWINV-1R022(スイッチング信号の要求電圧 5 V), 制御プラットフォームとして機能する DSP 制御ボード TMS320F28335 Experimenter's Kit(信号出力 3.3 V), インバータのスイッチングに必要な電圧を満たすための電圧レベル変換回路,電流センサ,電圧センサで構成される.使用したインバータの構成図を図 2 に示す.

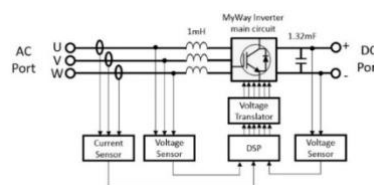


図 2 インバータの構成

### 2.3 仮想同期発電機(VSG)制御

VSG 制御の構成を図 3 に示す.VSG 制御は,1 節にて前述のとおり太陽光インバータに回転系である同期発電機と同様な特性を持つ.同期発電機の特性として慣性力(Inertia), AVR(Automatic Voltage Regulator)の機能を具備している.

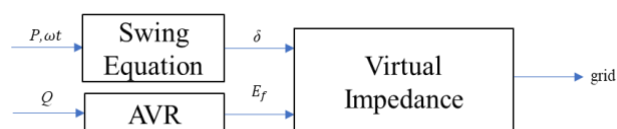


図 3 仮想同期発電機(VSG)制御のシステム構成

制御回路の構築には, MATLAB/Simulink と DSP 制御ボードをサポートしている Embedded Coder Toolbox を用いる. このツールボックスは, 制御回路の設計において, Simulink 上で構築したブロック図による制御回路を, DSP 制御ボードで使用される C 言語コードを自動的に生成することができ, 従来の C 言語による手法に代わり, 組み込みシステムの設計を容易にすることが可能となる. VSG 制御のシステムは,有効電力を用いて動揺方程式,無効電力を用いて AVR の計算を行う.その後,impedance 変換を行い,dq 軸上の要求信号  $i_d^*$ ,  $i_q^*$  の算出を行う.その結果と実測値  $i_d$ ,  $i_q$  を比較する.その信号は PID コントローラによって制御される座標軸を dq

軸から abc 軸に逆変換し、最終的に PWM 波形が作り出されゲート信号としてインバータに出力される。

### 3. 実機試験

#### 3.1 単独運転試験

本試験は系統から解列した際の自立運転を模擬している。電力指令  $P_{ref}$  を  $P_{ref} = 50$  [W] に設定し、単独運転試験を行った。単独運転試験の配線図を図 5.3.1 に示す。また、図 5.3.2 に定常状態時の出力波形、表 5.3.1 に定常状態時の測定結果を示す。また、単独運転定常状態から 300 W 負荷を増やす。この時の周波数の変動を図 5.3.3 に示す。



図 4 単独運転試験の配線図

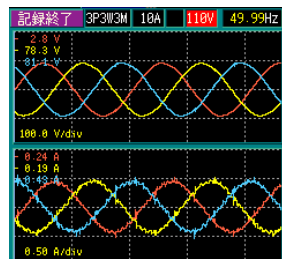


図 5 定常状態時の出力波形

表 5.3.1 定常状態時の測定値

項目	仕様
周波数	49.99 Hz
出力電圧	65.5 V
出力電流	0.3 A
出力電力	48 W
電流ひずみ率	4.3 %

1 章で述べた評価基準をもとに評価を行う。

I) 周波数が  $50 \pm 0.2$  Hz であることについて

定常時、周波数が 50Hz 周波数は 49.99 Hz となり基準範囲内であった。

II) 系統電流のひずみ率が 5 % 以内であることについて

電流ひずみ率は 4.3 % と基準範囲内であった。

III) 負荷変動時に出力が発振せず安定することについて

出力が下がってしまい、制御することができなかった。

#### 3.2 三相負荷試験

直流電源からインバータを介して三相負荷に結線を行う。三相負荷試験の結線図を図 6 に示す。直流電源を 30 V に設定し、三相負荷を 30 W から 30 W ずつ増加させる。出力波形を Power quality analyzer を用いて計測する。

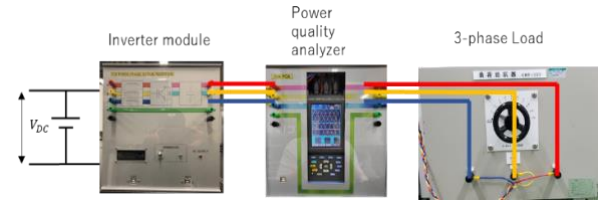


図 6 三相負荷試験

#### 3.3 並列運転試験

VSG 制御を組み込んだインバータを系統と並列運転し、三相負荷に接続する。三相負荷試験の結線図を図 7 に示す。Regulator を 30 V、直流電源を 30 V に設定し、三相負荷を 30 W から 30 W ずつ増加させ、インバータ出力波形を Power quality analyzer を用いて計測する。

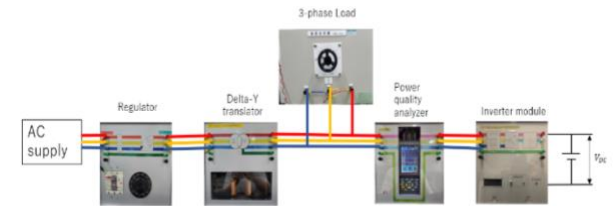


図 7 三相負荷試験の結線図

### 4. まとめ

単独運転試験は定常状態で電力制御を行えることが明らかとなった。しかし、負荷変動した場合に周波数が振動し系統規定から外れてしまった。系統並列試験は系統とインバータの電圧同期に失敗した。

今後の展望としては以下が挙げられる。

並列試験の位相同期については、制御モデルの見直しが必要である。系統電圧とインバータ出力電圧が一定の時間で遅れてしまっている。この原因は PLL の計算時間を考慮せず制御回路を作成したためである可能性が高い。従って、計算時間を考慮した制御回路の見直しが必要である。

### 参考文献

- [1] 崎元 謙一, インバータ連系形分散電源に適用する仮想同期発電機制御に関する研究, 大阪大学, 2015, 博士論文
- [2] 平瀬 祐子, 仮想同期発電機制御インバータの並列運転に関する研究, 大阪大学, 2016, 博士論文